

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Patent number: JP2003158262
Publication date: 2003-05-30
Inventor: KOYAMA MASATO; NISHIYAMA AKIRA; KANEKO AKIO
Applicant: TOSHIBA CORP
Classification:
- international: H01L29/78; H01L21/8247; H01L27/115; H01L29/788; H01L29/792
- european:
Application number: JP20010358063 20011122
Priority number(s):

Also published as:

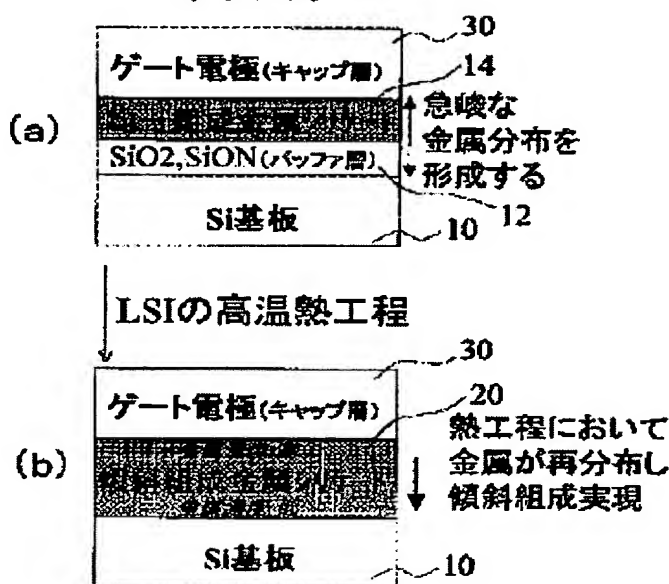
JP2003158262 (A)

Abstract of JP2003158262

PROBLEM TO BE SOLVED: To provide a semiconductor device which is surely obtained through a certain method that is different from a conventional one to realize the gradient composition of a metal silicate for improving its interface with silicon in interface characteristics and its manufacturing method.

SOLUTION: A semiconductor device is equipped with a silicon-containing semiconductor layer (10); an insulating layer (20) which is formed thereon and contains silicon (Si), oxygen (O), nitrogen (N), and metal element, and a conductive layer (30) formed thereon. The insulating layer (20) has a distribution of metal concentration in which metal concentration becomes lower at points closer to the semiconductor layer and higher at points closer to the conductive layer and a distribution of nitrogen concentration in which nitrogen concentration becomes higher at points closer to the conductive layer.

本発明



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-158262
(P2003-158262A)

(43) 公開日 平成15年5月30日 (2003.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G	5 F 0 8 3
21/8247			3 7 1	5 F 1 0 1
27/115		27/10	4 3 4	5 F 1 4 0
29/788				
29/792				

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2001-358063 (P2001-358063)

(22) 出願日 平成13年11月22日 (2001.11.22)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小山 正人

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 西山 彰

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100088487

弁理士 松山 允之 (外1名)

最終頁に続く

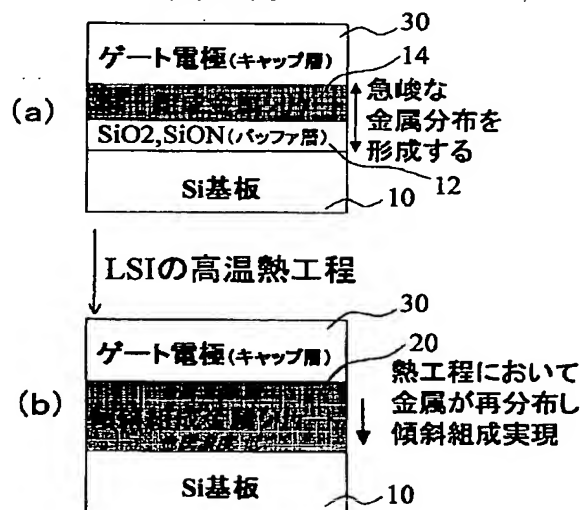
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 シリコンとの界面特性を向上させるための金属シリケート内部の傾斜組成を、従来提案されている手段とは全く異なる方法により、確実に実現して得られた半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 シリコンを含有する半導体層 (10) と、その上に設けられ、シリコン (S i) と酸素 (O) と窒素 (N) と金属元素とを含有する絶縁層 (20) と、その上に設けられた導電性層 (30) と、を備え、前記絶縁層は、前記金属元素の濃度が前記半導体層の側で低く、前記導電性層の側で高くなる分布を有し、且つ、前記窒素の濃度が前記半導体層の側で高く、前記導電性層の側で低くなる分布を有することを特徴とする半導体装置を提供する。

本発明



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】シリコンを含有する半導体層と、
前記半導体層の上に設けられ、シリコン(Si)と酸素(O)と窒素(N)と金属元素とを含有する絶縁層と、
前記絶縁層の上に設けられた導電性層と、
を備え、
前記絶縁層は、前記金属元素の濃度が前記半導体層の側で低く、前記導電性層の側で高くなる分布を有し、且つ、前記窒素の濃度が前記半導体層の側で高く、前記導電性層の側で低くなる分布を有することを特徴とする半導体装置。

【請求項2】前記窒素の濃度が前記絶縁層の層厚の方向に沿って階段状の分布を有することを特徴とする請求項1記載の半導体装置。

【請求項3】前記金属元素は、ジルコニウム(Zr)、ハフニウム(Hf)、チタン(Ti)、タンタル(Ta)、アルミニウム(Al)、イットリウム(Y)、ランタン(La)、セリウム(Ce)あるいはその他の希土類元素のいずれかであることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記導電性層は、前記絶縁層を介してその下の前記半導体層に対して電界を印加するゲート電極の少なくとも一部を構成することを特徴とする請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】シリコンを含有する半導体層の上に、シリコン(Si)と酸素(O)とを含むバッファ層を形成する工程と、
前記バッファ層の上に、シリコン(Si)と酸素(O)と金属元素とを含む金属シリケート層を形成する工程と、
前記金属シリケート層の上に、導電性のキャップ層を形成する工程と、
熱処理を施すことにより、前記金属シリケート層に含まれる前記金属元素の一部を前記バッファ層に向けて拡散させる工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項6】シリコンを含有する半導体層の上に、シリコン(Si)と酸素(O)とを含む第1のバッファ層を形成する工程と、
前記バッファ層の上に、シリコン(Si)と酸素(O)と金属元素とを含む金属シリケート層を形成する工程と、
前記金属シリケート層の上に、シリコン(Si)と酸素(O)とを含む第2のバッファ層を形成する工程と、
前記第2のバッファ層の上に、導電性のキャップ層を形成する工程と、
熱処理を施すことにより、前記金属シリケート層に含まれる前記金属元素の一部を前記第1及び第2のバッファ層に向けて拡散させる工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項7】前記金属シリケート層は、窒素(N)も含むことを特徴とする請求項5または6に記載の半導体装置の製造方法。

【請求項8】前記第1のバッファ層は、前記金属シリケート層における前記窒素(N)の濃度よりも高い濃度の窒素(N)を含むことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】前記金属元素は、ジルコニウム(Zr)、ハフニウム(Hf)、チタン(Ti)、タンタル(Ta)、アルミニウム(Al)、イットリウム(Y)、ランタン(La)、セリウム(Ce)あるいはその他の希土類元素のいずれかであることを特徴とする請求項5～8のいずれか1つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、電界効果トランジスタなどのようなMIS(Metal-Insulator-Semiconductor)構造を備える半導体装置及びその製造方法に関する。

【0002】

【従来の技術】サブ0.1 μ m世代のCMOS(Complementarily Metal-Oxide-Semiconductor)デバイスのゲート絶縁膜は対して、SiO₂膜厚換算で1.5nm以下の性能が要求されている。しかし、従来から用いられてきたゲート絶縁膜材料であるSiO₂は、厚さ1.5nmになると、直接トンネル電流のために絶縁膜とは呼べないような導電的な振る舞いを示すようになる。極薄膜化に伴うこのような著しい絶縁性劣化は消費電力を増加させるため、SiO₂は将来のデバイスのゲート絶縁膜としては、もはや適用が困難であると考えられる。

【0003】SiO₂換算で1.5nm以下という絶縁膜容量を実現しかつ低リーク特性も得るためには、SiO₂よりも比誘電率の高い材料(「High- κ 材料」と称する)を利用し、物理膜厚を大きくすることが有効である。例えば、SiO₂の10倍の比誘電率を持つ材料を使用すれば、SiO₂換算1.5nmの性能を得るための物理的な膜厚は15nmに設定でき、直接トンネル電流による膜の絶縁性の破綻を回避することができ

【0004】しかし、High- κ 材料は一般にSi(シリコン)基板との界面特性が悪く、界面準位や固定電荷などを生じやすい。これらの特性劣化は結果的にトランジスタの電流駆動力を低下させ、ゲート絶縁膜のSiO₂換算膜厚を薄くする効果を台無しにしてしまう。これに対して、SiO₂に金属を添加した、いわゆる「金属シリケート材料」を用いることが考えられる。金属シリケート材料にはシリコンが含まれるぶん、その比誘電率は8～20と低めであるが、シリコンウェーハとの界面特性に優れることが期待され、通常のHigh- κ 材料で生じやすい、界面欠陥に起因した電流駆動力の

低下が起きにくいと考えられる。

【0005】ただし、より厳密な意味では、シリコン基板と金属シリケートとの界面特性は、シリコン基板と SiO_2 との界面特性には、はるかに及ばないものと考えられる。例えば、金属シリケートをFETのゲート絶縁膜として用いた場合、金属シリケートに含まれる金属元素が形成するポテンシャル場により、チャンネル領域を走行する電子がリモート散乱を受けるといった問題が生ずる。

【0006】そこで、金属シリケートの内部における金属組成を、シリコン基板側では低く、シリコン基板から離れるほど高くするという、いわゆる「傾斜組成金属シリケート」の構造が提案されている（特願平10-242453号公報）。また、通常のプロセスで用いられるシリコン（あるいはシリコンGe）ゲート電極を用いた場合の、ゲートシリコンとの界面安定性を考慮して、金属シリケート中の金属濃度が、シリコン基板側とゲートシリコン側の両端で低く、中央部で高くなるという構造も考えられる。これらの構造によってシリコンとの界面付近での金属濃度を下げることにより、金属シリケートとシリコンとの界面特性は各段に向上し、実用の可能性が高くなる。

【0007】しかし、これらの構造において必要とされる傾斜組成の金属シリケートは、その作用効果は有効であるとしても、現実化するのには非常な困難が伴う。すなわち、金属シリケートの成膜段階で組成の傾斜を作りこもうとしても、通常500℃以上の基板温度で行われる成膜では膜中での原子移動が常に起こっており、この均一化作用によって傾斜組成が実現不可能となるのは疑いない。

【0008】この問題に対する対策として、金属シリケート成膜時点での基板温度を下げることも考えられるが、蒸着などの物理気相堆積法においては成膜温度の低温化に伴い膜の均一性が極端に劣化すること、一方、熱CVD法などの化学気相堆積法においては前駆体の熱励起が必須であることから鑑みて、いずれにせよ基板温度低減は実用的ではなく傾斜組成を実現するのはほぼ不可能と推測される。

【0009】さらに、仮に何らかの特殊な手段で金属シリケートの成膜の際に傾斜組成が実現できたとしても、その構造がその後の通常のLSI製造工程における高温プロセスを通過した後においても保持される可能性は極めて低い。すなわち、組成が傾斜していることは、それ自体が不安定な状態であり、これを均一組成に戻そうとする力が作用することは間違いない。現在のLSIプロセス、特にデュアルポリシリコンゲートプロセスで用いられているサーマルバジェット（入熱量、すなわち加熱温度の時間に対する積分値に対応するパラメータである）は、一般的な金属シリケート内部での原子移動を引き起こすのに十分なものであると考えられる。従って、

LSIプロセスの通常のアニール工程において傾斜組成が破壊されて均一組成化が進むことはほぼ間違い無いものと考えられる。

【0010】

【発明が解決しようとする課題】以上説明したように、シリコンとの界面特性を良好に保つために金属シリケート内部の組成を傾斜させる構造が提案されているが、従来開示されているような金属シリケート膜堆積時に傾斜組成を作る方法は、原理的に極めて困難と考えられる。さらに、金属シリケート膜の堆積時に傾斜組成が形成できたとしても、その後の通常のLSIプロセスを通過した後では、傾斜組成が保持されないことはほぼ間違いない。つまり、理想的な構造を実現することは技術的に困難であると考えられる。

【0011】本発明はかかる課題の認識に基づいてなされたものであり、その目的は、シリコンとの界面特性を向上させるための金属シリケート内部の傾斜組成を、従来提案されている手段とは全く異なる方法により、確実に実現して得られた半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、シリコンを含有する半導体層と、前記半導体層の上に設けられ、シリコン（Si）と酸素（O）と窒素（N）と金属元素とを含有する絶縁層と、前記絶縁層の上に設けられた導電性層と、を備え、前記絶縁層は、前記金属元素の濃度が前記半導体層の側で低く、前記導電性層の側で高くなる分布を有し、且つ、前記窒素の濃度が前記半導体層の側で高く、前記導電性層の側で低くなる分布を有することを特徴とする。

【0013】上記構成によれば、絶縁層における金属元素の濃度を理想的な分布状態とし、且つ、半導体層に対する不純物の突き抜けや、金属元素の酸化物の結晶化などをふせぎつつ、サブ0.1 μm 世代のMIS構造に要求される高い品質の絶縁構造を実現することができる。

【0014】ここで、前記窒素の濃度が前記絶縁層の層厚の方向に沿って階段状の分布を有するものとすれば、金属酸化物の結晶化や不純物の突き抜けなどをより確実に防止することが可能となる。

【0015】また、前記金属元素は、ジルコニウム（Zr）、ハフニウム（Hf）、チタン（Ti）、タンタル（Ta）、アルミニウム（Al）、イットリウム（Y）、ランタン（La）、セリウム（Ce）あるいはその他の希土類元素のいずれかであるものとすれば、高い誘電率を有し、同時に耐熱性、物理的あるいは化学的安定性にすぐれ吸湿性も少ない金属シリケート絶縁層を形成することができる。

【0016】また、前記導電性層は、前記絶縁層を介してその下の前記半導体層に対して電界を印加するゲート

電極の少なくとも一部を構成するものとすれば、MISFETなどのMIS構造を有する各種のデバイスを高い集積度で実現することができる。

【0017】一方、本発明の半導体装置の製造方法は、シリコンを含有する半導体層の上に、シリコン(Si)と酸素(O)とを含むバッファ層を形成する工程と、前記バッファ層の上に、シリコン(Si)と酸素(O)と金属元素とを含む金属シリケート層を形成する工程と、前記金属シリケート層の上に、導電性のキャップ層を形成する工程と、熱処理を施すことにより、前記金属シリケート層に含まれる前記金属元素の一部を前記バッファ層に向けて拡散させる工程と、を備えたことを特徴とする。

【0018】上記構成によれば、絶縁層における金属元素の濃度を理想的な分布状態とし、且つ、半導体層に対する不純物の突き抜けや、金属元素の酸化物の結晶化などをふせぎつつ、サブ0.1 μ m世代のMIS構造に要求される高い品質の絶縁構造を実現することができる。

【0019】または、本発明の半導体装置の製造方法は、シリコンを含有する半導体層の上に、シリコン(Si)と酸素(O)とを含む第1のバッファ層を形成する工程と、前記バッファ層の上に、シリコン(Si)と酸素(O)と金属元素とを含む金属シリケート層を形成する工程と、前記金属シリケート層の上に、シリコン(Si)と酸素(O)とを含む第2のバッファ層を形成する工程と、前記第2のバッファ層の上に、導電性のキャップ層を形成する工程と、熱処理を施すことにより、前記金属シリケート層に含まれる前記金属元素の一部を前記第1及び第2のバッファ層に向けて拡散させる工程と、を備えたことを特徴とする。

【0020】上記構成によれば、絶縁層における金属元素の分布が、膜の中央においてピークを有するものとすることができる。

【0021】また、これら製造方法において、前記金属シリケート層は、窒素(N)も含むものとすれば、金属元素の拡散を緩和することにより、制御を容易とし、同時に不純物の突き抜けや結晶の形成も抑止することができる。

【0022】また、前記第1のバッファ層は、前記金属シリケート層における前記窒素(N)の濃度よりも高い濃度の窒素(N)を含むものとすれば、やはり、金属元素の拡散を緩和することにより、制御を容易とし、同時に不純物の突き抜けや結晶の形成も抑止することができる。

【0023】また、前記金属元素は、ジルコニウム(Zr)、ハフニウム(Hf)、チタン(Ti)、タンタル(Ta)、アルミニウム(Al)、イットリウム

(Y)、ランタン(La)、セリウム(Ce)あるいはその他の希土類元素のいずれかであるものとすれば、高い誘電率を有し、同時に耐熱性、物理的あるいは化学的

安定性にすぐれ吸湿性も少ない金属シリケート絶縁層を形成することができる。

【0024】

【発明の実施の形態】以下、図面を参照しつつ、本発明の実施の形態について詳細に説明する。

【0025】図1は、本発明の半導体装置の製造方法を説明するための概念図である。

【0026】また、図2は、比較例としての従来の半導体装置の製造方法を表す概念図である。

【0027】すなわち、本発明においては、まず、図1(a)に表したように、シリコン基板10の上に、バッファ層12、金属シリケート層14、キャップ層30をこの順に積層する。ここで、バッファ層12は、酸化シリコンや酸化窒化シリコンなどにより形成される。また、金属シリケート層14は、金属とシリコンとの化合物であり、均一な組成分布を有するものでよい。さらに、キャップ層30は、導電性の材料により形成することが望ましい。

【0028】このような積層構造を形成した後に熱処理を施すと、図1(b)に表したように、バッファ層12と金属シリケート層14との間で元素の拡散が生じ、傾斜組成を有する金属シリケート層20が形成される。この金属シリケート層20は、シリコン基板10の側で金属の濃度が低く、導電体層30の側で金属の濃度が高くなる傾斜組成を有する。

【0029】本発明の製造方法により、傾斜組成の金属シリケート層20が形成できる根拠は、LSIの高温熱処理時の金属シリケート内部の原子移動を考えればすぐに理解できる。すなわち、本発明の製造方法においては、均一な組成の金属シリケート層14と、SiO₂やSiONなどからなるバッファ層12と、が隣接している。これが高温に保持されたとき、金属元素の分布を均一化しようという駆動力が作用し、金属シリケート層14からバッファ層12への金属拡散が生じる。これが組成傾斜が作られる原理である。

【0030】これに対して、従来の方法による場合、図2(a)に表したように、仮に、何らかの傾斜組成を有する金属シリケート層Xを堆積できたとしても、その後のLSIプロセスにおいて熱工程を経ることにより金属元素の拡散が生じ、図2(b)に表したように均一な組成の金属シリケート層120に変化してしまう。

【0031】すなわち、本発明の製造方法の特徴は、従来法においては問題となる熱処理時の傾斜組成破壊の原因、すなわち組成均一化のための薄膜中の原子拡散現象を逆にとり、SiO₂層12と金属シリケート層14とにより形成した急峻な金属組成をならして最終的に傾斜組成を形成する点にある。

【0032】図3は、本発明の製造方法の各工程における金属濃度の分布を例示する模式図である。すなわち、同図(a)及び(b)は、それぞれ図1(a)及び

(b) にそれぞれ対応する。

【0033】本発明による傾斜組成の本質は金属拡散現象にあり、ゆえに拡散後の金属プロファイルは拡散源から急峻に減衰する形となり、この拡散プロファイルが傾斜組成そのものとなる。この金属拡散プロファイルは、拡散源の金属原子濃度とサーマルバジェット（熱処理温度と時間）とにより決定される。サーマルバジェットの下限は必要とされるLSIプロセスの内容により決定されるため、この条件は限定されてしまう。それゆえ、このように固定されるサーマルバジェットに合わせて、金属シリケート層14及びバッファ層12の膜厚、さらに金属シリケートの金属濃度を設定することにより、図3(b)に例示したような所望の傾斜組成を実現することができる。

【0034】さらに、本発明のもうひとつの重要なポイントとして、高温熱処理を行う前に金属シリケート層14の上をキャップ層30で保護しておくという点が挙げられる。このキャップ層30を導電体により形成すると、これをFET(Field Effect Transistor)のゲート電極としてそのまま用いることもできる。

【0035】図4は、キャップ層30の作用を説明するための概念図である。

【0036】すなわち、同図(a)に表したようにキャップ層30を設けない場合、熱処理に際して、図4(b)に表したように雰囲気中の酸素による基板10の酸化が進行して酸化層OXが形成され、絶縁膜容量の低下という深刻な問題が起こる。

【0037】これに対して、図4(c)に表したようにキャップ層30を設けることにより、このキャップ層30が熱処理雰囲気中の酸素を遮断し、金属シリケート層14に余分な酸素を供給しない状態を形成する。その結果として、図4(d)に表したように、基板10の酸化を防ぎつつ、熱処理により金属元素を拡散させて傾斜組成の金属シリケート層20を形成することができる。

【0038】またさらに、キャップ層30を形成してから熱処理することの第2のポイントは、これにより金属シリケート層14から上方への金属拡散を抑制し、バッファ層12への効率的な金属拡散を達成できる点にある。

【0039】図5は、キャップ層30の有無による金属元素の拡散の差異を表す断面写真である。ここでは、シリコン基板10の上にバッファ層12としてSiO₂（膜厚2nm）、金属シリケート層14としてハフニウム(Hf)シリケート（膜厚2nm）を積層し、1000℃において熱処理して、その前後の断面構造をTEM(Transmission Electron Microscopy: 透過電子顕微鏡)により観察した。

【0040】図5(a)は、ハフニウムシリケート層14の上にキャップ層30としてポリシリコン（多結晶シリコン）を堆積して熱処理前に観察した断面TEM像を

表す。

【0041】図5(b)は、このサンプルを熱処理した後に観察した断面TEM像を表す。ハフニウムシリケート層14に含まれていたハフニウムがバッファ層12に拡散して、傾斜組成を有するハフニウムシリケート層20が形成されている。

【0042】これに対して、キャップ層30を設けることなく1000℃での熱処理を施すと、ハフニウムの上方への拡散が支配的となり、図5(c)に表したように、ハフニウムが膜表面に凝集する。なお、図5(c)においてハフニウムの上にあるものは、TEM観察のためのサンプル埋め込み用エポキシ樹脂である。

【0043】このように、本発明によれば、キャップ層30を設けてから熱処理を施すことにより金属シリケート層14の金属元素の上方への拡散フラックスが抑制し、表面への金属の凝集を解消できる。

【0044】図6は、図5(b)のサンプルにおいて、ハフニウムの濃度を分析した結果を表す模式図である。すなわち、同図(a)に表したポイント1～3においてEDX(energy dispersive x-ray spectroscopy)によりハフニウムの濃度を分析した結果を表したものが図6(b)のグラフ図である。同図からも分かるように、本発明によれば、ハフニウムの上方への拡散を抑制し、傾斜組成の金属シリケート層20を実現できる。

【0045】またさらに、キャップ層30を設けてから熱処理することの第3のポイントは、これは特定の金属元素において見られる現象であるが、金属シリケート層14とキャップ層30との界面にSi₃O₄が偏析するという現象を利用できる点にある。

【0046】図7は、この偏析現象を例示する断面写真である。ここでは一例として、同図(a)に表したように、シリコン基板10の上に、バッファ層12としてSiO₂、金属シリケート層14としてジルコニウム(Zr)シリケート、キャップ層30としてポリシリコンを積層し、熱処理前後の断面を観察した。

【0047】熱処理後の断面を見ると、図7(b)に表したように、バッファ層12のSiO₂の膜厚は薄くなり、一方、ポリシリコン30との界面にSiO₂に近い組成の層20Aが形成されている。これは、本発明の原理に基づきバッファ層12を構成するSiO₂中にジルコニウム原子が拡散してシリコン基板10との界面近傍のSiO₂膜が薄膜化する一方、ジルコニウムシリケートとポリシリコンの界面エネルギー安定化の要請から、SiO₂偏析が起きるためと推測される。

【0048】この現象を利用すれば、金属シリケート層20の金属濃度分布が、その中心部で高くなり、上下で低くなるという独特の濃度プロファイルを実現することが可能となる。

【0049】なお、本発明者は、このようなSiO₂の偏析現象が、ジルコニウムの他に、チタン(Ti)でも

10

20

30

40

50

生ずることを確認した。

【0050】さて、本発明では、 SiO_2 のようなバッファ層12と金属シリケート層14を積層して、この上にキャップ層30を設けた後に熱処理を加える。この際、最終的な金属シリケート中の金属濃度を高くすることが望まれ、且つシリケート膜の非晶質性を保持することも要求された場合、本発明の方法は次のような弊害をもたらすことも考えられる。

【0051】すなわち、 SiO_2 バッファ層12に金属元素を拡散させるために、初期状態の金属シリケート層14には、最終的な金属シリケート層20の金属濃度よりも高めの金属濃度を仕込む必要がある。これを本発明の方法で熱処理したとき、金属の拡散よりも先に、金属シリケート層14の内部で金属酸化物が析出して結晶化する現象が起こり、非晶質性が破壊されてしまうという虞がある。仮にこのような結晶化が生ずると、集積回路装置の歩留まりを大きく低下させてしまうという問題が生ずる。

【0052】しかし、本発明の実験の結果、本発明においては、このような金属酸化物の結晶化現象は、むしろ抑制されることが明らかになった。

【0053】図8(a)は、ジルコニウム・シリケート(膜厚2nm)/ SiO_2 (2nm)の積層をキャップ層30を設けずにそのまま1000℃で熱処理した後の断面構造を表すTEM像である。

【0054】また、図8(b)は、同様の積層を、ポリシリコンのキャップ層30を設けた後に熱処理した後の断面構造を表すTEM像である。

【0055】図8(a)に表したキャップ層無しの場合には、ジルコニウム・シリケートの内部に ZrO_2 が析出して結晶化することが分かった。これに対して、本発明の製造方法により、ポリシリコンのキャップ層30を設けて熱処理した場合には、このような結晶化した ZrO_2 粒子は全く観測されず、かつ傾斜した組成のジルコニウム・シリケート層20を得ることができた。これは、本発明によれば、ポリシリコンのキャップ層30を設けることにより、ジルコニウム・シリケート層14の表面付近におけるシリコン原子の欠乏を防止することにより、 ZrO_2 の形成を抑止するからであると推測される。またさらに、ジルコニウム・シリケート層14から SiO_2 バッファ層12への原子拡散、キャップ層30によるジルコニウムの上方への拡散の抑制といった要因によっても、 ZrO_2 の析出現象が抑制されたことが推測される。

【0056】さて、本発明においては、熱処理前の金属シリケート層14に窒素を含有させておくと、さらなる効果が得られる。

【0057】金属シリケート層14の内部にあらかじめ窒素を添加しておく理由は、熱処理工程における金属原子拡散の程度をより緩やかなものとし、金属のプロファ

イル制御をより高精度に行うためである。

【0058】図9は、金属シリケート層14への窒素の添加の有無による金属元素の濃度分布の違いを表す模式図である。

【0059】窒素を添加した金属シリケート層14の内部においては、 Si-N 結合が形成されるために不純物拡散が抑制される。本発明はこの原理を利用している。図8に表したように、金属シリケート層14に窒素を添加することにより、熱処理後の金属の濃度プロファイルがより緩やかなものに変化する。

【0060】またさらに、金属シリケート層14への窒素の添加は、キャップ層30からの不純物の拡散を効果的に抑止する効果ももたらす。例えば、本発明者は、キャップ層30としてのポリシリコンにボロン(B)を添加し、本発明に従って熱処理を施した場合の、キャップ層30からシリコン基板10へのボロン突き抜け量を、SIMS (Secondary Ion Mass Spectroscopy) により分析した。その結果、金属シリケート層14に窒素を添加しない場合に比べて、窒素を添加した場合には、ボロンの突き抜け量が1/3以下に減少することを確認した。

【0061】またここで、熱処理後の窒素の濃度の分布に注目すると、図9に表したように、キャップ層30の側で低く、基板10の側で高くなる分布を有する。これは、熱処理前においてバッファ層12に添加する窒素の量と金属シリケート層14に添加する窒素の量の最適範囲の違いを反映したものである。

【0062】以下、この技術的な意義について詳述する。

【0063】金属シリケート層14に窒素の添加を行う理由は、最終的に形成される金属シリケート層20を結晶化させないようにし(すなわち、耐熱性を向上させ)、かつキャップ層30からシリコン基板10への不純物の「突き抜け」を起こさせないようにするためである。この作用を最大限に得ようとすると、窒素濃度をできるだけ高く、しかも金属シリケート中にまんべんなく分布させることが望ましい。本発明の構造は、これらの要請を満たすものである。

【0064】但しここで、金属シリケート中の窒素濃度を高くするほど、高い効果が得られるとも考えられるが、現実にはそうではなく、窒素濃度を高くしすぎると、膜中に格子欠陥が発生して電気的特性の劣化が起きて逆効果となる。

【0065】ちなみに、 SiO_2 の場合に添加できる窒素濃度の上限は15原子%程度である。一方、金属シリケートの場合は、窒素濃度の上限は15原子%よりも低くなる。なぜならば、例えば窒素を15原子%添加したとすると、 SiON の場合のように、多数の金属-窒素結合が形成されるからである。このような金属-窒素結合は金属的結合であり、このような結合を含む膜は絶縁

膜としての性能が劣化するため、好ましくない。

【0066】金属シリケートに対する窒素添加量の最適範囲は、以下の理由により決定できる。すなわち、本発明において形成される金属シリケートの金属元素の濃度は、およそ3原子%~20原子%の範囲にあり、従ってシリコン濃度は10原子%~27原子%程度になる。ここで、純 SiO_2 中のシリコン濃度は約30原子%であり、これに対して添加しうる窒素濃度の上限が上述の如く15原子%であることを考慮すると、本発明において用いる金属シリケート層14に添加することが許される窒素濃度は、およそ5原子%~14原子%の範囲となり、 SiO_2 バッファ層12中の窒素許容濃度よりも明らかに低くなる。

【0067】すなわち、本発明の金属シリケート層の構造、製造方法において、窒素添加の効果を最大限発揮させるための窒素濃度分布は次のようなものである。すなわち、組成傾斜によって SiO_2 的になったシリコン基板10との界面付近では窒素濃度が相対的に高く、金属濃度が高くなった膜の中央、上部近辺では窒素濃度が相対的に低くなるような構造の特徴である。

【0068】またここで、本発明の製造方法にしたがい、 SiO_2 あるいは SiON からなるバッファ層12を堆積し、その上に金属シリケート（窒素添加金属シリケート）層14を堆積すると、窒素の濃度はこの2層に対応した階段状分布をとるようになる。その後、本発明の製造方法に従ってキャップ層30を堆積し、熱処理すると、酸素原子と結合した金属元素は容易にその結合を切り再分布するのに対し、シリコン原子と強固に化学結合した窒素はその分布を大きく変えることは無い。その結果として、図9に表したように、窒素の階段状の濃度分布が最後まで保持される。

【0069】このような窒素の階段状の濃度分布は、極めて独特な構成であるとともに、他の重要な効果を得るために本発明を実施したときの必然として規定される構造である。

【0070】さて、本発明においては、金属シリケート層14の上下をバッファ層により挟んだ状態で熱処理を施してもよい。

【0071】図10は、この方法を表す模式図である。

【0072】すなわち、まず、図10(a)に表したように、シリコン基板10の上に、第1のバッファ層12、金属シリケート層14、第2のバッファ層16、キャップ層30をこの順に積層する。ここで、第1及び第2のバッファ層12、16は、酸化シリコンや酸化窒化シリコンなどにより形成される。また、金属シリケート層14は、金属とシリコンとの化合物であり、均一な組成分布を有するものでよい。さらに、キャップ層30は、導電性の材料により形成することが望ましい。

【0073】このような積層構造を形成した後に熱処理を施すと、金属シリケート層14から上下のバッファ層

12、16に向けて金属の拡散が生ずる。そして、結果的に、図10(b)に表したように、シリケート層20の中央付近で金属の濃度が最大となるような金属元素プロファイルを形成することが可能となる。

【0074】またさらに、本発明において、金属シリケート層14を構成する金属としては、上述したジルコニウム(Zr)、ハフニウム(Hf)、チタン(Ti)の他にも、タンタル(Ta)、アルミニウム(Al)、イットリウム(Y)、ランタン(La)、セリウム(Ce)あるいはその他の希土類元素でも同様の効果が期待できる。何故ならば、これらの元素は、いずれも、その酸化物あるいは窒化物の比誘電率が高く、 SiO_2 と比較して有利な絶縁構造が形成できるからである。また、これらの元素は、いずれもその酸化物や窒化物の耐熱性や、化学的あるいは物理的な安定性に優れ、吸湿性も低いからである。

【0075】一方、本発明において、キャップ層30の材料としては、耐熱性の高いシリコン(Si)、ゲルマニウム(Ge)、あるいはこれらの混合物を用いることが有効である。これは、本発明においては、キャップ層30を堆積した後の熱処理工程の熱処理温度が1000℃程度と高いため、熱的な安定性が要求されるからである。

【0076】また、これらの材料は導電性を有するため、例えば、このキャップ層30をそのまま、FETのゲート電極あるいはその一部として用いることができるからである。

【0077】ここで、キャップ層30としてシリコン・ゲルマニウム(SiGe)を用いる場合には、金属シリケート層14とゲルマニウム(Ge)との反応を抑制するために、その界面にシリコン(Si)層を挿入することが有効である。

【0078】また、キャップ層30と金属シリケート層14との界面への SiO_2 析出効果は、キャップ層30がシリコン(Si)の場合に最も発揮されることから、この効果を利用する場合には、金属シリケート層14と接する部分のキャップ層30は、シリコン(Si)により構成することが望ましい。

【0079】一方、MISFETのチャネルとして、「ひずみSiGe」を用いることが提案されているが、この構造に対して本発明を適用する場合は、シリコン基板/SiGeチャネルとその上の界面絶縁膜との間に薄いシリコン(Si)層を挿入することが有効である。これは、熱処理時の界面絶縁膜を安定に保つために必要であり、このようなシリコン(Si)層を挿入しない場合には、界面絶縁膜が全て散逸し、金属シリケート層/SiGeチャネルという直接接触が形成されて電気的特性の劣化が生ずる。

【0080】以上詳述したように、本発明の傾斜組成金属シリケート層の製造方法によれば、従来の方法よりも

各段に高い実現性を持って金属の組成を傾斜させることが可能となる。

【0081】さらに金属シリケートからの金属酸化物析出現象を緩和し、一部の金属元素においては金属シリケート層30とキャップ層30との界面への SiO_2 偏析現象に基づいて金属シリケート層20の中央部に濃度ピークを持つ金属元素の組成分布を実現することも可能となる。これらの効果は、本発明での製造方法によって得られる独特のものである。

【0082】

【実施例】以下、本発明を用いたMISFET (Metal-Insulator-Semiconductor FieldEffect Transistor) およびその製造方法について説明する。

【0083】図11は、本実施例のMISFETの断面構造を表す模式図である。

【0084】すなわち、シリコン基板10の上には、ゲート電極30／傾斜組成金属シリケート層20の積層からなるMIS構造が形成されている。ゲート電極30は、ゲート側壁40に取り囲まれている。シリコン基板10の表面付近には、高濃度に不純物が拡散された深い拡散領域10Aと、浅い拡散領域10Bと、サリサイド10Cが、MIS構造に対してそれぞれ自己整合的に形成されている。そして、一对の浅い拡散領域10Bの間には、チャネル領域10Dが形成されている。

【0085】図12は、本実施例のMISFETの要部製造方法を表す工程断面図である。

【0086】同図を参照しつつ、その製造方法について説明すると以下の如くである。

【0087】最初に、図12(a)に表したように、シリコン基板10上にバッファ層12を形成する。具体的には、まず、所定の工程により素子分離11を施したシリコン基板10を準備する。次に、このシリコン基板10の表面の自然酸化膜を希フッ酸(HF)溶液処理により除去し、シリコン表面を水素終端する。引き続き、シリコン基板10の表面にシリコンとの界面特性に優れた絶縁膜をバッファ層(初期状態)12として形成する。バッファ層12としては、 SiO_2 膜を、乾燥酸素雰囲気、700℃の熱処理により厚さ約2nm成膜した。

【0088】本発明におけるバッファ層12の材料としては、 SiO_2 あるいは SiON が望ましい。ただし、 SiON を用いる場合には、 SiON 中の窒素濃度は15原子%以下に限定することが望ましい。これは、これ以上の窒素が添加されると膜中の格子欠陥により電気的特性の劣化が生ずるためである。

【0089】また、本発明においては、バッファ層12は各種の方法により形成することができる。界面バッファ層の成膜方法としては、熱酸化、熱酸窒化、プラズマ酸化、プラズマ酸窒化、熱酸化プラスプラズマ窒化等を用いることができる。

【0090】また、バッファ層(初期状態)12の厚さ

は、0.5nm以上3nm以下が望ましい。0.5nm以上とする理由は、0.5nm以下の界面バッファ層を再現性良く形成するのは困難であること、さらに後工程で金属拡散を受ける際に0.5nm以下だと Si 基板まで金属原子が到達し界面特性の劣化が起きるためである。3nm以下とする理由は、3nmの SiO_2 に金属が拡散して比誘電率が SiO_2 の2倍になったとしても、その SiO_2 換算膜厚は1.5nmであり、その上部に金属シリケートが上積みされる本発明の方法では、 SiO_2 換算膜厚1.5nmの達成が不可能になるためである。

【0091】この後、図12(b)に表したように、均一組成の金属シリケート層14をバッファ層(初期状態)12の上に堆積する。ここでは、一例として、ジルコニウム酸化物ターゲットとシリコン酸化物ターゲットを用い、アルゴンと酸素の混合ガスプラズマを用いたスパッタリングにより、厚さ2nmのジルコニウム・シリケート膜を形成した。

【0092】但し、本発明において重要なのはこの工程において略均一組成の金属シリケート層14を形成することであり、その製造方法としてはスパッタ法の他にも、CVD法、蒸着法などの手段を利用することができる。

【0093】また、金属シリケート層14中の金属濃度は3原子%以上20原子%以下とする。3原子%以上が必要理由は、これ以下の金属濃度では SiO_2 に対する比誘電率向上効果が十分に得られないためである。また、20原子%以下としたのは、金属がこれ以上の濃度になると本発明の熱処理工程において、金属拡散現象よりも先に金属シリケートからの金属酸化物析出現象の方が優先的に起こってしまうためである。

【0094】略均一組成の金属シリケート層14を形成する際に、その内部に窒素を添加することは後工程における金属拡散をより緩やかなものとし、最終的な組成傾斜の設計を容易にする効果を持っている。一例として、ジルコニウムターゲットとシリコンターゲットを用い、アルゴンと酸素と窒素の混合ガス雰囲気中でプラズマを発生させてスパッタすることにより、窒素添加ジルコニウム・シリケート薄膜を形成できる。その窒素添加量は、スパッタ雰囲気としてのアルゴン／窒素／酸素のガス流量比で制御でき、0%～50%の範囲で制御可能であるが、窒素が多量に添加されると膜中に格子欠陥が発生し電気的特性の劣化が起きるため、窒素濃度は15原子%以下に限定することが望ましい。また、窒素添加金属シリケート層14の成膜方法としては、CVD、蒸着法などを利用してよい。

【0095】次に、図12(c)に表したように、FETのゲート電極を兼ねるキャップ層30を堆積し得た。本発明においては、キャップ層30の材料として、ゲート電極となるものを用いることができ、例えばシリコン

(Si)、シリコンゲルマニウム化合物(SiGe)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)などの高融点金属材料やこれらの窒化物などを用いることができる。また、その形成方法としては、スパッタ法やCVD法、蒸着法など種々の方法を用いることができる。

【0096】キャップ層30の厚さは、10nm以上あれば酸素拡散の抑制のためには十分である。但し、現実にはこれをそのままFETのゲート電極として用いるのが便利であるので、通常のゲート電極の厚さである200nm〜250nm程度とすることが望ましい。

【0097】この後、図12(d)に表したように、トランジスタ構造の各部を形成する。すなわち、キャップ層30を加工してゲート電極を形成し、LDD(Lightly Doped Drain)領域となる浅い拡散領域10Bを形成し、ゲート電極の側壁40を形成し、しかる後に、ソース・ドレイン領域となる深い拡散領域10Aを形成をする。この工程の際に、拡散層10A、10Bの形成の熱処理工程によって、組成傾斜金属シリケート層20が形成される。この後、サリサイド10Cを形成することにより、図11に表したトランジスタが完成する。

【0098】ここでは一例として、キャップ層30(ゲート電極)にポリシリコンを用い、熱処理条件としては、昇温速度100℃/秒で昇温した後に、1000℃で窒素雰囲気中で20秒間の熱処理を行った。この熱処理により、略均一な組成の金属シリケート層14からバッファ層(初期状態)12に向けて金属原子が移動し、組成傾斜金属シリケート層20が形成された。

【0099】ここで熱処理温度と時間(サーマルバジェット)は、本発明の組成傾斜金属シリケート層20の内部の金属プロファイルを決する重要なパラメータである。しかし、サーマルバジェットはMISFETのチャネル不純物プロファイルの設計においてほぼ一義的に決定されてしまうパラメータである。したがって、本発明では、総合的なプロセスパラメータから決定されるサーマルバジェットに基づいて、金属シリケート層14の膜厚、バッファ層12の膜厚、金属シリケート層14内部の金属原子濃度、さらには金属シリケート層14への窒素添加量などの設計を行うことで、所望する組成傾斜金属シリケート層20の構造を実現することができる。

【0100】もちろん、組成傾斜を形成するための高温アニールを図12(d)に表した拡散領域の形成工程の段階で行うのではなく、図12(c)に表したゲート電極形成後の段階で行うことも可能である。この場合には、その後の熱工程である拡散領域の形成工程のサーマルバジェットを考慮して金属シリケート層14/バッファ層12の設計を行っておく必要がある。

【0101】本実施例のMISFETは、傾斜組成を有する金属シリケート層20がゲート絶縁膜として作用し、高い誘電率と高い信頼性が得られ、リーク電流やト

ンネル電流を抑止しつつ、SiO₂換算で1.5nm以下の性能が得られる。その結果として、次世代のサブ0.1μmサイズのCMOSデバイスを構成する基本素子として高い価値を有するものである。

【0102】以上、具体例を例示しつつ本発明の実施の形態について説明した。しかし、本発明は、上述した各具体例に限定されるものではない。

【0103】例えば、トランジスタの構造についても、具体例として表したものには限定されず、その他、当業者が本発明を適用しつつ設計変更して得られる全てのトランジスタは、本発明の範囲に含まれる。

【0104】例えば、トランジスタの各部を構成する材料、添加不純物、膜厚、形状、導電型、形成方法などについて当業者が適宜設計変更したものは本発明の範囲に含まれる。

【0105】さらに、本発明は、具体例として表したMISFETデバイスに限定されるものではなく、その他にも、例えば、フラッシュメモリのインターポリ絶縁膜として金属シリケートを用いる際に、本発明の製造方法により下部ポリシリコン電極/SiO₂層/均一組成金属シリケート層/SiO₂層/上部ポリシリコン電極構造を形成後、熱処理をすることによりポリシリコン電極界面付近で金属濃度の薄いような金属分布を有するインターポリ絶縁膜を実現できる。また、拡散層上のキャパシタ製造工程にも適用することが可能である。

【0106】

【発明の効果】以上詳述したように、本発明によれば、良好な界面特性を維持しつつサブ0.1μm世代において必要とされるSiO₂換算膜厚1.5nmの金属シリケート膜を実現するために必要な傾斜組成プロファイルを、従来よりも確実な手段によって実現できる。これにより、超微細サイズの高速、低消費電力のCMOS-LSIのためのゲート絶縁膜を確実に準備できるようになり、その産業上のメリットは多大である。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を説明するための概念図である。

【図2】比較例としての従来の半導体装置の製造方法を表す概念図である。

【図3】本発明の製造方法の各工程における金属濃度の分布を例示する模式図である。

【図4】キャップ層30の作用を説明するための概念図である。

【図5】キャップ層30の有無による金属元素の拡散の差異を表す断面写真である。

【図6】図5(b)のサンプルにおいて、ハフニウムの濃度を分析した結果を表す模式図である。

【図7】金属元素の偏析現象を例示する断面写真である。

【図8】a)は、ジルコニウム・シリケート(膜厚2nm

m) / SiO_2 (2 nm) の積層をキャップ層30を設けずにそのまま1000℃で熱処理した後の断面構造を表すTEM像であり。(b)は、同様の積層を、ポリシリコンのキャップ層30を設けた後に熱処理した後の断面構造を表すTEM像である。

【図9】金属シリケート層14への窒素の添加の有無による金属元素の濃度分布の違いを表す模式図である。

【図10】金属シリケート層の上下をバッファ層により挟んだ状態で熱処理を施す方法を表す模式図である。

【図11】本発明の実施例のMISFETの断面構造を表す模式図である。

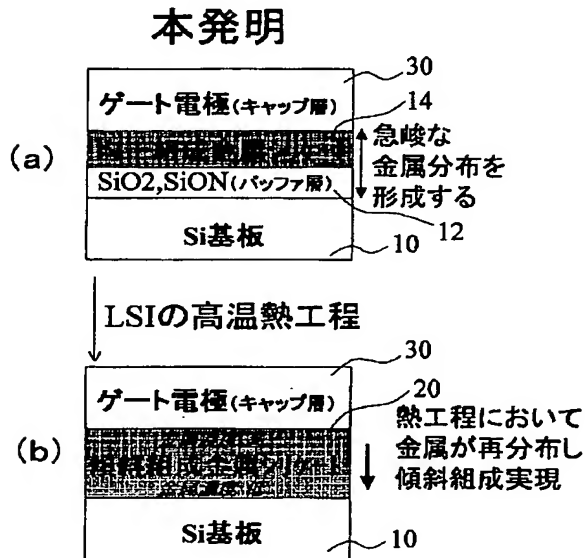
【図12】本発明の実施例のMISFETの要部製造方法を表す工程断面図である。

*

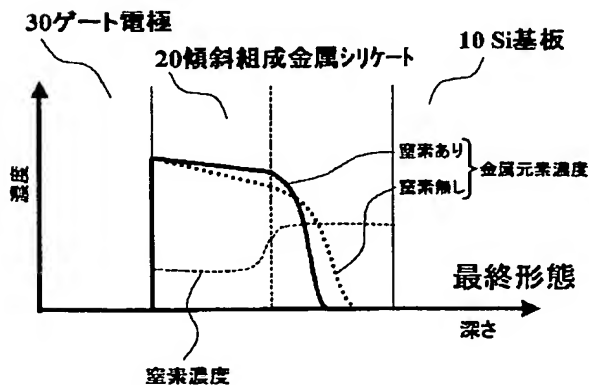
*【符号の説明】

- 10 シリコン基板
- 10A、10B 拡散領域
- 10C サリサイド
- 10D チャンネル領域
- 12 バッファ層
- 14 金属シリケート層
- 16 バッファ層
- 20 傾斜組成金属シリケート層
- 30 キャップ層(導電性層、ゲート電極)
- 30 金属シリケート層
- 40 ゲート側壁

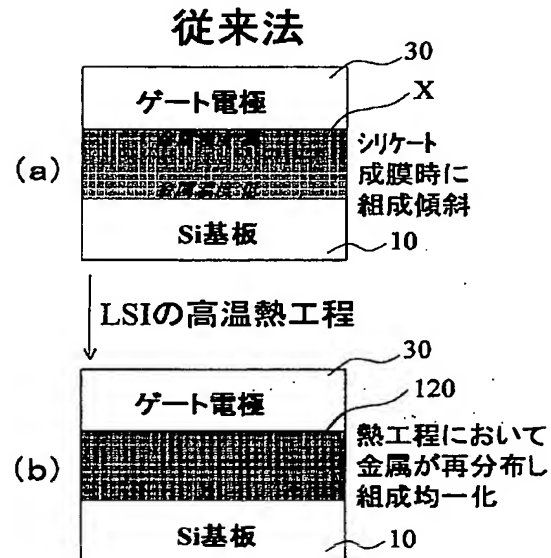
【図1】



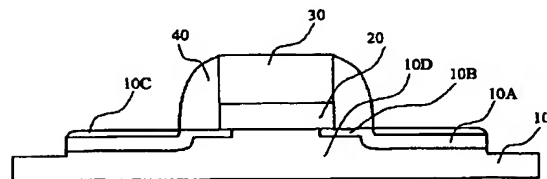
【図9】



【図2】

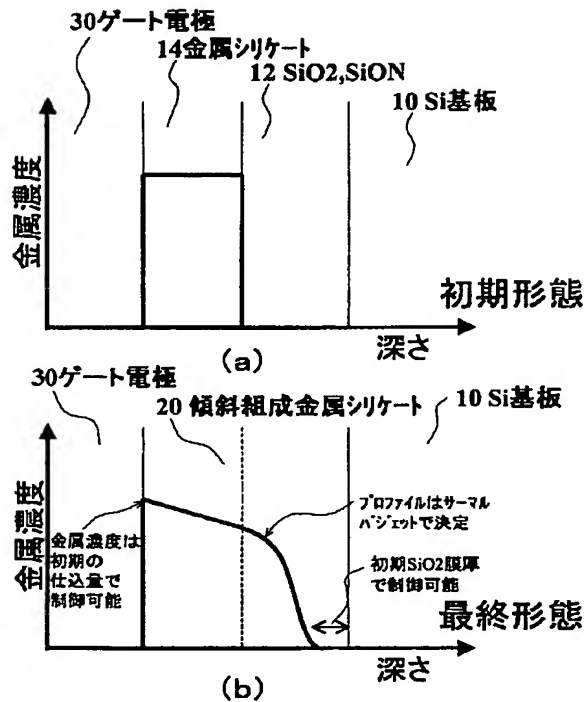


【図11】

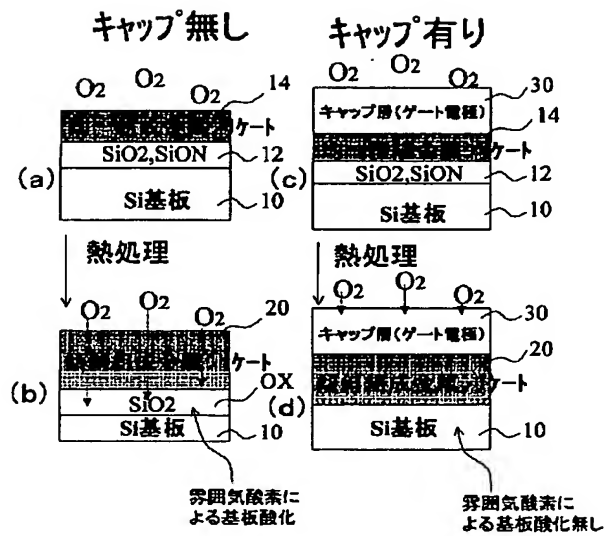


BEST AVAILABLE COPY

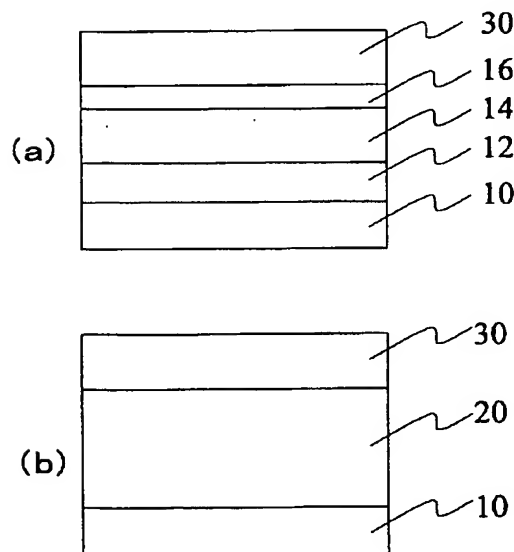
【図3】



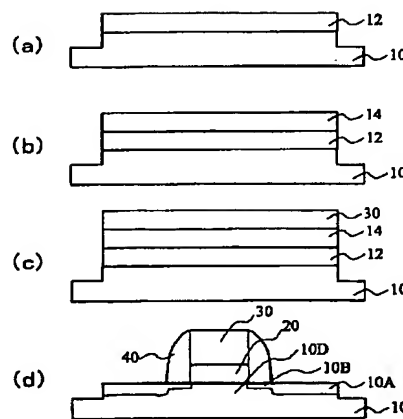
【図4】



【図10】

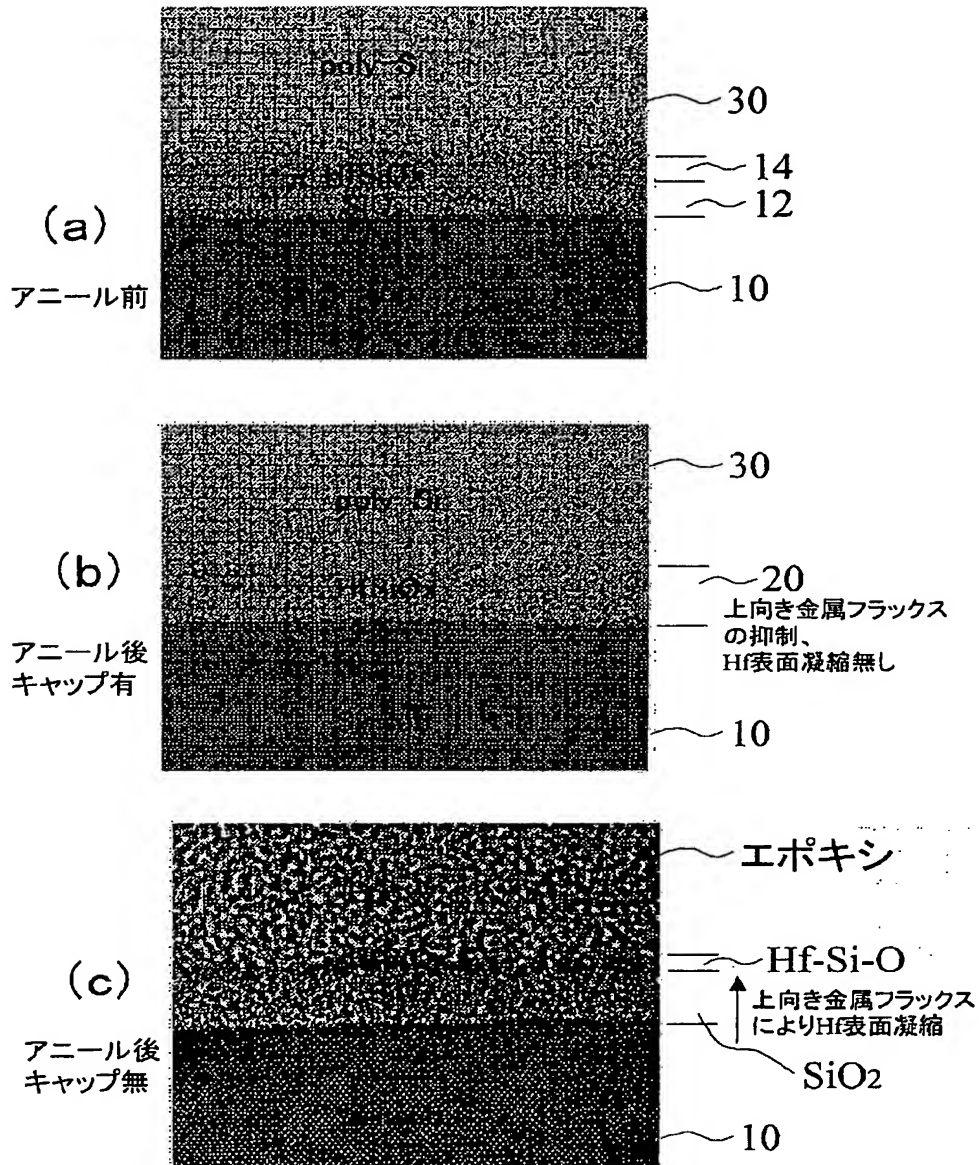


【図12】



BEST AVAILABLE COPY

【図5】

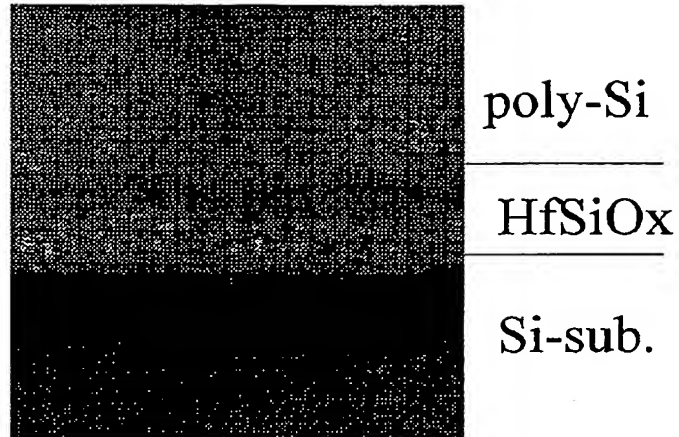


BEST AVAILABLE COPY

【図6】

断面TEM写真

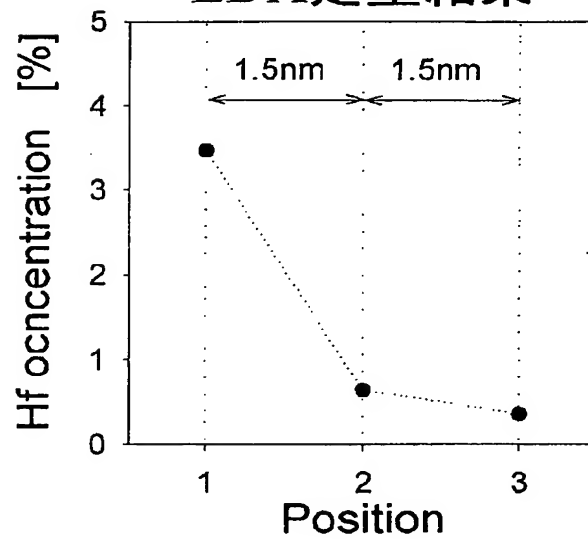
(a)



数字はEDX分析ポイント

EDX定量結果

(b)



BEST AVAILABLE COPY

【図7】

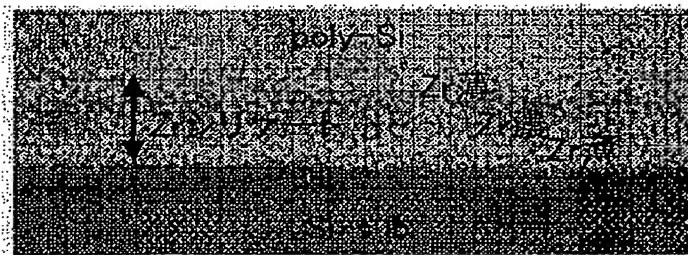
熱処理前

(a)



熱処理後

(b)

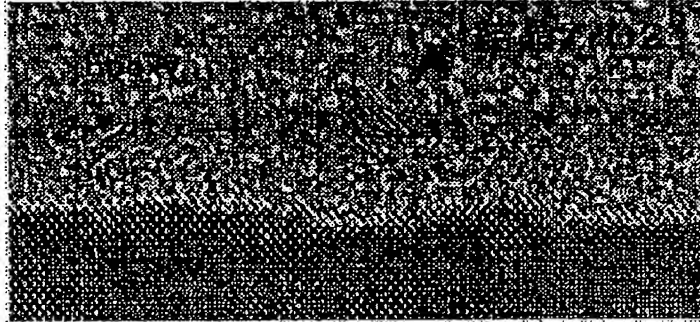


BEST AVAILABLE COPY

【図8】

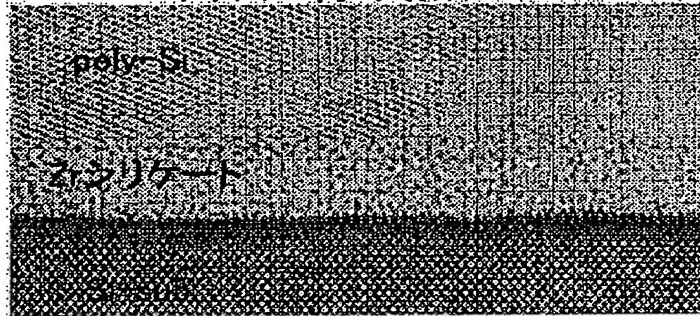
キャップ無し熱処理

(a)



キャップ有り熱処理

(b)



フロントページの続き

(72)発明者 金子 明生

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F083 EP17

5F101 BA42 BD07

5F140 AA00 BA01 BD04 BD13 BD15

BD16 BD17 BE05 BE07 BE08

BE09 BE10 BE17 BF01 BF04

BF07 BG08 BG28 BG30 BH15

BEST AVAILABLE COPY